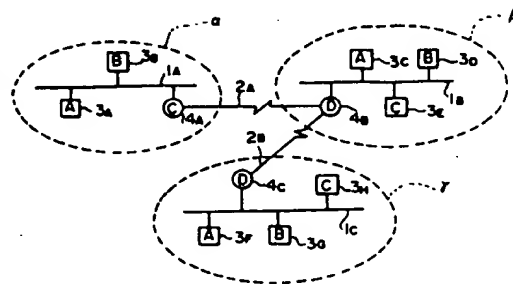


(54) MUTUAL CONNECTION SYSTEM OF LOCAL AREA NETWORK

(11) 61-63137 (A) (43) 1.4.1986 (19) JP
 (21) Appl. No. 59-184490 (22) 5.9.1984
 (71) OKI ELECTRIC IND CO LTD (72) MASASHI IDE(2)
 (51) Int. Cl. H04L11/20

PURPOSE: To attain communication in and between local area circuit networks without notifying a terminal device except a repeater node by using a data link layer address field to attain routing.

CONSTITUTION: A terminal node, e.g., 3A sets a station address of a terminal node 3A to a sender station address SSA to communicate a packet. A relay node 4A sets an inter-area communication bit and an area number alpha to an address SSA of a packet received from the terminal node 3A and the result is transmitted to a repeater node 4B. The node 4B sets an inter-area communication bit and area number of a destination station address DSA of the packet received from the node 4A to logical "0" and transmits it to the terminal node 3D. Then the relay node sets the inter-area bit and area number to the address SSA of the received packet from the inter-area and the inter-area communication bit and the area number of the address DSA of the reception packet are cleared from the outside of the area.



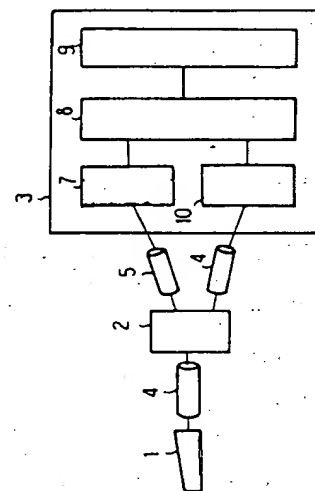
α, β, γ area

(54) DATA PROCESSOR AND INTER-EXCHANGE COMMUNICATION SYSTEM

(11) 61-63138 (A) (43) 1.4.1986 (19) JP
 (21) Appl. No. 59-185185 (22) 4.9.1984
 (71) NIPPON TELEGR & TELEPH CORP <NTT> (72) TSUNEO YASUDA(2)
 (51) Int. Cl. H04L11/20

PURPOSE: To apply a common line signal line while using an information line control method of a conventional data processor by allowing an information line section of a data processor using a line individual signal system to control a private line without notifying the presence of an exchange.

CONSTITUTION: When a call is started from an exchange 2, a call start request signal from a common line signal line is received by a common line signal control section 7, a start call reception is responded to the exchange 2 and call start is informed to a match section 8. In the matching section 8, while a connection request data reception transmitted through an information line is used, the start is established synchronously with the start call notice reported by the information line control section 10. On the other hand, at the call start from the data processor 3, the exchange 2 is called from the control section 7 via a common line signal line, and after the start call reception response from the exchange 2 is received by the control section 7 and the matching section 8, the call start request is given from the matching section 8 to the control section 10 to establish the call start.



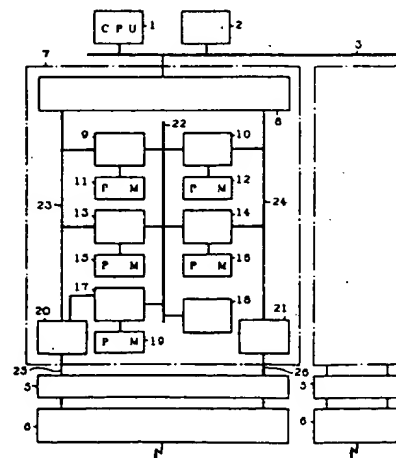
1: data terminal device, 9: application program

(54) COMMUNICATION PROTOCOL CONTROLLER

(11) 61-63139 (A) (43) 1.4.1986 (19) JP
 (21) Appl. No. 59-185187 (22) 4.9.1984
 (71) NIPPON TELEGR & TELEPH CORP <NTT> (72) MAKOTO AOKI(3)
 (51) Int. Cl. H04L13/00, G06F13/00

PURPOSE: To attain high speed communication by storing a code designating the operation of a common processor managing and controlling each layer processor to a storage device and providing each communication line among layer processors and between each layer processor and a DMA controller.

CONSTITUTION: When a data transmission is indicated to a processing section 7 from a CPU1, a common control processor 17 informs the indication to transmission processors 10, 14 via a communication line 22 and a common memory 18. In the device 10, based on the packet kind information, the information of a layer 3 is set and its information is transferred to a control section 21 through a transmission timing match communication line 24 of the layer 3 in the control section 21. On the other hand, the device 14 sets prescribed layer (2) information and the information is transferred to the control section 21 through the line 24 in matching with the information transmission timing of the layer 2 in the section 21. Further, the DMA control section 8 reads the transmission data from the memory 2, transmits the information to the control section 21 through the line 24 in matching with the data timing of the section 21 and the device 21 outputs the data via a layer processor 1 and an MODEM6.



5: processor of layer 1, 9: layer 3 reception, 10: layer 3 transmission, 13: reception of layer 2, 14: transmission of layer 2, 20: reception control

(19)日本国特許庁(JP)

(12)特 許 公 報(B2)

(11)特許出願公告番号

特公平6-34486

(24)(44)公告日 平成6年(1994)5月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H 0 4 L 29/06				
G 0 6 F 13/00	3 5 3 C	7368-5B 8220-5K	H 0 4 L 13/ 00	3 0 5 Z

発明の数1(全 7 頁)

(21)出願番号	特願昭59-185187
(22)出願日	昭和59年(1984)9月4日
(65)公開番号	特開昭61-63139
(43)公開日	昭和61年(1986)4月1日
審判番号	平4-1262

(71)出願人 999999999
日本電信電話株式会社
東京都千代田区内幸町1丁目1番6号

(72)発明者 青木 誠
東京都武蔵野市緑町3丁目9番11号 日本
電信電話公社武蔵野電気通信研究所内

(72)発明者 砺波 修一
東京都武蔵野市緑町3丁目9番11号 日本
電信電話公社武蔵野電気通信研究所内

(74)代理人 弁理士 澤井 敦史

審判の合議体
審判長 平野 雅典
審判官 中村 剛基
審判官 清水 康志

最終頁に続く

(54)【発明の名称】 通信プロトコル制御装置

1

【特許請求の範囲】

【請求項1】複数の通信プロトコル層を制御し、主記憶装置に対してダイレクト・メモリアクセス制御を行うダイレクト・メモリアクセス制御手段を備えた通信プロトコル制御装置において、各通信プロトコル層ごとに受信プロトコル処理を制御する1個以上のレイヤ受信処理手段と、各通信プロトコル層ごとに送信プロトコル処理を制御する1個以上のレイヤ送信処理手段と、前記レイヤ受信処理手段と前記レイヤ送信処理手段及び通信全体とを管理制御する共通制御手段と、前記レイヤ受信処理手段と前記レイヤ送信処理手段の処理結果と各レイヤ送受信処理手段間の通信情報とを格納する共通記憶手段と、通信回線からの信号の受信処理を行う受信回線制御手段と、通信回線への信号の送信処理を行う送信回線制御手段と、前記レイヤ受信処理手段と前記レイヤ送信処理手

2

段と前記共通制御手段と前記共通記憶手段とを接続する通信線Iと、前記レイヤ受信処理手段と前記受信回線制御手段と前記ダイレクト・メモリアクセス制御手段とを接続する通信線IIと、前記レイヤ送信処理手段と前記送信回線制御手段と前記ダイレクト・メモリアクセス制御手段とを接続する通信線II'とを備えたことを特徴とする通信プロトコル制御装置。

【発明の詳細な説明】

〔産業上の利用分野〕

10 本発明は、通信プロトコル制御装置に関し、特に各レイヤのプロトコル制御を並列処理するとにより、高速通信が可能な並列処理形通信プロトコル制御装置に関するものである。

〔従来の技術〕

データ通信における端末インタフェースには、モデム・

3

インタフェースと呼ばれるアナログ・データ伝送用のVシリーズ・インタフェースと、新規端末用のインタフェースであるデジタル・データ伝送用のXシリーズ・インタフェースとがある(CCITT標準)。

Vシリーズ・インタフェースの端末を回線交換、パケット交換に接続する場合、網との接続制御用としてDDX用の網制御装置(NCU)が必要であるのに対し、Xシリーズ端末は、端末自体に網制御機能を具備している。データ端末を伝送回線を介してホスト計算機センタに接続する場合、データ端末と同等の機能を具備する装置、つまり通信制御装置をセンタ側にも設置し、この装置を経由することにより伝送速度と処理速度の差を吸収する。また、通信制御装置は、コンピュータ間通信を行う上で必要なプロトコル(通信規約)を処理するためにも必要である。

第4図は、従来のパケット交換機あるいはパケット端末等に用いられている通信制御装置のブロック構成図である。

第4図において、1はプロセッサであり、ISOの標準モデル(Open System Interconnection. 以下、OSI)で、レイヤ3以上の通信プロトコル処理および全体の制御を行う。2はメモリであり、プロセッサ1の制御シーケンスを指定する制御符号の他、通信データ(送受信)の蓄積部として利用する。3はプロセッサ1、メモリ2および通信プロトコル制御装置4相互間の通信を行うための母線(バス)であって、制御符号(コマンド)、通信データ等の情報が流れる。4は通信プロトコル制御装置であって、OSI参照モデルで、レイヤ2の通信プロトコル処理(本構成例では、HDLC: High Level Data Link Control Procedureに相当)を行う。5は下位レイヤ処理装置であって、OSI参照モデルで、レイヤ1の通信プロトコル処理(本構成例では、モデム等の制御)を行う。6はモデム等であり、通信回線に対してデータ信号の電圧レベル交換、変復調等の信号交換を行う。なお、一般に、レイヤ1は物理層、レイヤ2はデータリンク層、レイヤ3はネットワーク層と呼ばれるものである。

〔発明が解決しようとする課題〕

この構成例において、通信プロトコル制御装置4は回線対応に通信プロトコル処理を行うため、数100kbit/秒程度の通信速度を持つ通信回線に適用できる。しかし、高通信速度になるに従ってバス3における1→2、1←2、4→2、4←2間の制御符号や通信データ等の情報の流れが頻繁になり、各々の処理の実行要求(バスアクセス)に競合が発生し、バスアクセス待ち合わせによる処理待ち合わせ時間が長くなり、高通信速度の通信プロトコル処理が不可能になる。また、プロセッサ1の高速処理化をはかるため、プロセッサ1と同一機能のプロセッサを複数、バス3上に配置することも考えられる

4

が、この場合もプロセッサ間のバス3でのバスアクセス競合により、上記と同様なバスアクセス待ち合わせが発生し、極端な処理速度の向上は望めない。

このように、従来の技術では、バス上でのバスアクセス競合が処理高速化上のネックとなり、通信プロトコル処理を高速で実行し得ないという問題があった。

〔発明の目的〕

本発明の目的は、このような従来の問題を解決し、プロセッサや通信プロトコル制御装置等の処理装置間のバス上でのバスアクセス競合をなくし、通信プロトコル処理を高速に実行することが可能な通信プロトコル制御装置を提供することにある。

〔課題を解決するための手段〕

上記目的を達成するため、本発明の通信プロトコル制御装置は、複数の通信プロトコル層を制御し、主記憶装置に対してダイレクト・メモリアクセス制御を行うダイレクト・メモリアクセス制御手段を備えた通信プロトコル制御装置において、各通信プロトコル層ごとに受信プロトコル処理を制御する一個以上のレイヤ受信処理手段と、各通信プロトコル層ごとに送信プロトコル処理を制御する一個以上のレイヤ送信処理手段と、前記レイヤ受信処理手段と前記レイヤ送信処理手段とを管理制御する共通制御手段と、前記レイヤ受信処理手段と前記レイヤ送信処理手段の処理結果を格納する共通記憶手段と、通信回線からの信号の受信処理を行う受信回線制御手段と、通信回線への信号の送信処理を行う送信回線制御手段と、前記レイヤ受信処理手段と前記レイヤ送信処理手段と前記共通制御手段と前記共通記憶手段とを接続する通信線Iと、前記レイヤ受信処理手段と前記受信回線制御手段と前記ダイレクト・メモリアクセス制御手段とを接続する通信線IIと、前記レイヤ送信処理手段と前記送信回線制御手段と前記ダイレクト・メモリアクセス制御手段とを接続する通信線II'とを有することに特徴がある。

〔作用〕

本発明においては、通信プロトコルの各レイヤごと、さらに各レイヤの送受信ごとにそれぞれプロトコル処理手段を設けるとともに、各プロトコル処理手段を接続する通信線、通信回線の信号を受信する通信線、通信回線へ信号を送信する通信線を設けるので、各通信プロトコル・レイヤごとの各プロトコル制御さらには、各通信プロトコル・レイヤごとの送受信制御を並列に実行することができる。

〔実施例〕

以下、本発明の実施例を、図面により詳細に説明する。

第1図は、本発明の一実施例を示す通信制御装置のブロック構成図である。

第1図では、パケット交換機の通信プロトコル処理(レイヤ2、レイヤ3)に本発明を適用した例を示している。パケット交換において、パケット通信プロトコル

5

は、CCITT勧告X. 25で規定されている。

パケット交換の通信プロトコル上のフレーム（情報転送単位）形式を、第5図に示す。第5図は、上記CCITT勧告のX. 25プロトコルの一例を示したものであり、図において、Fはフラグ‘01111110’であり、Aはアドレス部（8ビット）、Cは制御部（8ビット）、PHはパケット制御部、DATAは情報（nビット）、FCSはフレーム・チェック・シーケンス（巡回冗長符号）（16ビット）である。このうち、F（フラグ）、A（アドレス部）、C（制御部）、FCS（フレーム・チェック・シーケンス）は、本実施例のX. 25のレイヤ2（データリンク層）で規定されたフィールドであり、以下、特にA、Cをレイヤ2制御情報と呼ぶ。また、PH（パケット制御部）は、同様にレイヤ3（ネットワーク層）で規定されたフィールドであり、以下、レイヤ3制御情報と呼ぶ。

パケット交換機において、上記レイヤ2は、データリンク制御という通信データの伝送制御手順が規定されたものであり、レイヤ3は、パケット（呼）の設定・開放を行うための接続制御手順とデータ転送手順が規定されたものである。第5図からも明らかなように、各レイヤ2、レイヤ3のフレームフィールドは、明確に分離され、各レイヤの処理は独立に行われる。すなわち、各レイヤ処理は、各レイヤごとの指示情報にもとづいて行われる。

第1図において、7が本発明で新たに設けられたレイヤ2、レイヤ3の処理を行う通信プロトコル制御装置である。パケット交換機においては、回線に対応して通信プロトコル制御装置7をそれぞれバス3上に並列に設置する。8は通信プロトコル制御装置7とメモリ2間でのデータ（レイヤ2、レイヤ3制御情報は除く）転送を、自律的に行うダイレクト・メモリアクセス（DMA）制御部、9は通信プロトコルのうちレイヤ3の受信処理プロセッサ、10は通信プロトコルのうちレイヤ3の送信処理プロセッサ、11および12は各々プロセッサ9、10の処理を指示する制御符号および9、10の処理入力／結果を蓄積する記憶部（PM）であり、読出し専用メモリ（ROM）および書き込み／読み出し可能なメモリ（RAM）で構成される。

13は通信プロトコルのうちレイヤ2の受信処理プロセッサ、14は通信プロトコルにうちレイヤ2の送信処理プロセッサ、15および16は各々13、14に一対一に対応し、機能、構成については、11および12と同じ構成のメモリである。17は通信プロトコル制御装置7内の各機能部の監視、プロセッサ1との間で制御／状態情報のやりとりを制御する共通制御プロセッサであり、19は共通制御プロセッサ17と1対1に対応しており、機能、構成については11、12、15、16と同様のメモリである。18は受信処理プロセッサ9、13、送信処理プロセッサ10、14、および共通制御プロ

6

ロセッサ17における共通情報、各プロセッサ間の通信を行うためのデータ等を蓄積する共通メモリである。また、20は通信プロトコル制御装置7の下位レイヤの処理装置であるレイヤ1処理装置5からのフレーム形式をとったビット直列データのフラグ同期、フレーム・チェック・シーケンス（FCS）検査、受信データのビット直列からビット並列（例えば、1バイト並列）への変換等を行う受信回線制御部、21は受信回線制御部20とは逆に送信データのビット並列からビット直列への変換、FCSの付加、フラグ付加等を行う送信回線制御部である。また、22は受信処理プロセッサ9、13、送信処理プロセッサ10、14、共通制御プロセッサ17、共通メモリ18間を接続し、各プロセッサ間相互の通信や共通メモリ18へのデータ書き込みを可能とするバス（通信線I）である。23、24は、それぞれDMA制御部8、受信処理プロセッサ9、13、受信回線制御部20間、およびDMA制御部8、送信制御プロセッサ10、14、送信回線制御部21間を接続し、各レイヤ制御情報および通信データを転送する通信線（通信線II、II'）である。25、26はレイヤ1処理装置5から、またはレイヤ1処理装置5への送受信端子である。また、27は受信回線制御部20と共通制御プロセッサ17との通信線である。

第1図に示すように、本発明は、各レイヤの送受信処理が並列実行可能な点に着目し、通信プロトコル制御装置に各レイヤ（レイヤ2、3）さらに各レイヤの送受信処理毎に独立なプロセッサを配置し、これら各プロセッサを並列処理させることにより従来以上の高速な通信プロトコル処理を実現し、さらに、従来のようなレイヤ3以上の通信プロトコル処理を行っていたプロセッサ1とメモリ2間および通信プロトコル制御装置4とメモリ2間のメモリ転送により発生していたバス3上のバスアクセス競合が生じないので、従来に比べ高速処理が可能となる。

第1図では、共通制御プロセッサ17の管理の下に、フレームのレイヤ2制御情報およびパケットのレイヤ3制御情報の送受信処理をそれぞれレイヤ2処理用プロセッサ13、14およびレイヤ3処理プロセッサ9、10が並列に行う。パケット・データ部分（第5図のDATA部分）の転送は、送信の場合、メモリ2からDMA制御部8を通り、送信処理プロセッサ10、14、送信回線制御部21と通信線II'を介して高速に行われ、また受信の場合には、受信回線制御部20、受信制御プロセッサ9、13からDMA制御部8を通り、メモリ2に通信線IIを介して高速に行われる。なお、共通制御プロセッサ17は、通信プロトコル制御装置7全体の管理およびプロセッサ1、メモリ2とのインタフェース制御を行い、レイヤ3の受信処理および送信処理プロセッサ9、10はパケット制御情報（レイヤ3制御情報）の付加、解析、レイヤ3状態制御を行い、またレイヤ2の受信処

7

理および送信処理プロセッサ13、14はフレーム制御情報(レイヤ2制御情報)の付加、解析、レイヤ2状態制御を行う。

先ず、受信動作について述べる。

第2図は、フレーム受信時の動作例を示した図である。この場合、通信プロトコル制御装置7はプロセッサ1から初期設定、データ受信指示がなされており、メモリ2の受信データ格納エリアが既に知られているものとする。受信端子25からフレームを受信すると、受信回線制御部20は該フレームのビット直並列変換を行い、レイヤ2の受信処理プロセッサ13にレイヤ2制御情報(A、C部)を通信線23を通じて転送する。レイヤ2受信処理プロセッサ13では、レイヤ2制御情報の正常性検査、フレーム解析、状態制御等の処理を行い、通信線22および共通メモリ18を通じて、共通制御プロセッサ17にその結果を通知する。受信回線制御部20は、レイヤ2制御情報の後に続いてレイヤ3制御情報(PH)を受信すると、同じく通信線23を通じてレイヤ3受信処理プロセッサ9にその情報を転送する。レイヤ3受信処理プロセッサ9では、レイヤ2受信処理プロセッサ13と同様に、レイヤ3制御情報の正常性検査、レイヤ3(パケット)解析、情報制御等の処理を行い、通信線22およびメモリ18を通じて共通制御プロセッサ17にその結果を通知する。

一方、DMA制御部8は、受信回線制御部20から送出されたデータを通信線23を経由して受取り、そのデータをバス3を経由してメモリ2内の所定エリアに書き込む。データ受信後、FCS検査を受信回線制御部20で行い、通信線27を通じて共通制御プロセッサ17にその結果を報告する。共通制御プロセッサ17では、FCS検査結果が報告された時点から、FCS検査結果に応じた処理を行う。すなわち、FCS検査結果が正常であれば、先にレイヤ2受信処理プロセッサ13およびレイヤ3受信処理プロセッサ9から通信線22および共通メモリ18を経由して報告されたレイヤ2、レイヤ3の処理結果に基づき、通信プロトコル制御装置7の通信プロトコル上の状態を遷移させ、所定の出力(例えばフレーム/パケットの送信要求)を通信線22および共通メモリ18を介してレイヤ2受信処理プロセッサ13あるいはレイヤ3受信処理プロセッサ9に通知する。特に、レイヤ2、レイヤ3の処理結果が正常であれば、共通制御プロセッサ17は、プロセッサ1に対して正常にデータを受信した旨も合わせて通知する。共通制御プロセッサ17からプロセッサ1に対する上記の通知は、メモリ2に対しDMA転送を行う一般的な入出力装置と同様な入出力インタフェース、例えば、メモリ上の所定の制御エリアに受信報告を書き込んだり、割り込みにより通知したり、周知の通知方法により通知が可能である。また、共通制御プロセッサ17とプロセッサ1間の通信ルートは、例えば、図中の通信線とは全く独立な通信インタフ

8

ェース(図示せず)をプロセッサ17とバス3間で設けたりすることにより設定されるが、共通制御プロセッサ17とプロセッサ1間でどのような通信ルートを設定しても本発明の効果は変わらない。

一方、FCS検査結果が異常であれば、共通制御プロセッサ17は、先にレイヤ2受信処理プロセッサ13およびレイヤ3受信処理プロセッサ9から報告されたレイヤ2、レイヤ3の処理結果を廃棄し、通信プロトコル制御装置7の全体の状態遷移は行わない。

10 次に、送信動作について述べる。

第3図は、フレーム/パケット送信時の動作例を示した図である。プロセッサ1は、先の受信動作と同様に、通信プロトコル制御装置7を送信起動するための制御情報および送信すべきデータを予めメモリ2に書き込んでおく。

プロセッサ1から通信プロトコル制御装置7に対してデータ送信指示がなされると、共通制御プロセッサ17は、自プロセッサが管理している通信プロトコル制御装置の状態および状態遷移状況から、送信フレーム/パケット種別を決定し、通信線22および共通メモリ18を通じて、送信処理プロセッサ10および14にその旨の指示を通知する。ここで、決定される上記送信フレーム/パケット種別とは、受信したフレーム/パケット種別に対応するプロトコル上予め決められたフレーム/パケット種別であり、例えば、フレームレベルでは、コマンドフレームに対するレスポンスフレームであり、パケットレベルでは、発呼要求パケット、着呼受付パケットに対する着呼パケット、接続完了パケット等である。

レイヤ3送信処理プロセッサ10では、共通制御プロセッサ17からの上記パケット種別通知に基づき、所定のレイヤ3制御情報を設定し、送信回線制御部21におけるレイヤ3情報送信タイミングに合わせて通信線24を通じて、送信回線制御部21にその情報を転送する。レイヤ2送信処理プロセッサ14は、レイヤ3送信処理プロセッサ10と同様に、フレーム種別通知に基づき、所定のレイヤ2制御情報を設定し、送信回線制御部21におけるレイヤ2情報送信タイミングに合わせて通信線24を通じて送信回線制御部21にその情報を転送する。また、DMA制御部8はメモリ2から送信データをバス3を経由して読み出し、送信回線制御部21におけるデータ送信タイミングに合わせて通信線24を通じて送信回線制御部21にその情報を転送する。送信回線制御部21では、フラグ、レイヤ2制御情報(A、C)、レイヤ3制御情報、データおよび送信回線制御部21で作成したFCSを付加した上、ビット直列に変換して送信端子26に送出する。

このように、第1図においては、各レイヤごとの処理用プロセッサと全レイヤ処理プロセッサを管理する共通制御プロセッサを設けて、レイヤごとに並列処理を行うとともに、各処理プロセッサにメモリを接続して処理プロ

9

グラムを直接ロードするようにし、かつ独立の通信線を2本設けてバス上の競合を防止しているので、通信制御時に発生したイベントを各プロセッサが同時に処理でき、高速処理が可能である。また、レイヤごとのプロセッサを送信と受信とに分けて設けているので、送信動作と受信動作を独立に行うことができ、同時並行して送受信処理を行うことが可能である。なお、上記の送受信動作は、独立に行うことが可能である。

〔発明の効果〕

以上説明したように、本発明によれば、通信プロトコル・レイヤごとの各プロトコル制御を、処理装置間の競合をなくして、並列に処理することができるので、例えばパケット交換機、パケット端末、およびローカルエリア・ネットワーク（LAN）の通信ノードに適用すれば、極めて高速度の通信が可能となる。

【図面の簡単な説明】

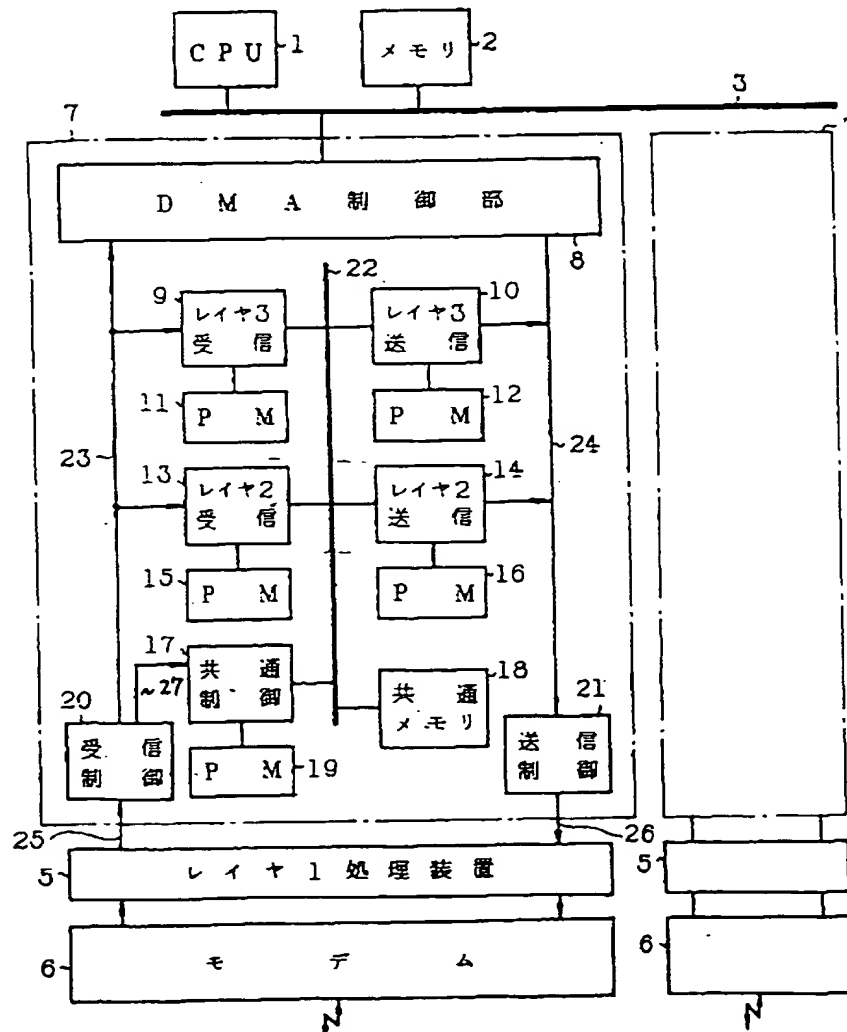
第1図は本発明の一実施例を示す通信プロトコル制御装置のブロック構成図、第2図は第1図における受信動作

10

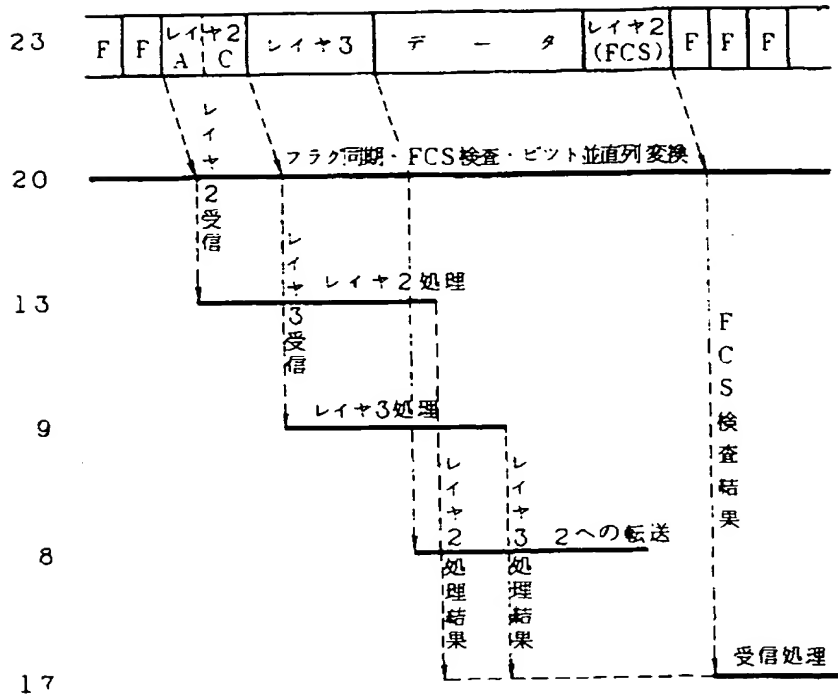
のシーケンス・チャート、第3図は第1図における送信動作のシーケンス・チャート、第4図は従来の通信プロトコル処理装置のブロック図、第5図はCCITT勧告X.25のハイレベル・データリンク制御手順によるフレーム/パケット形式の図である。

1：プロセッサ、2：メモリ、3：母線、4：レイヤ2通信プロトコル処理装置、5：レイヤ1通信プロトコル処理装置、6：モデム等、7：レイヤ2、レイヤ3通信プロトコル処理装置、8：ダイレクト・メモリアクセス制御部、9：レイヤ3受信制御プロセッサ、10：レイヤ3送信制御プロセッサ、11、12、15、16、19：読み出し専用メモリ（ROM）および書き込み/読み出し可能なメモリ（RAM）、13：レイヤ2の受信制御プロセッサ、14：レイヤ2の送信制御プロセッサ、17：共通制御プロセッサ、18：RAM、20：受信回線制御部、21：送信回線制御部、22：通信線I、23：通信線II、24：通信線II'、25：受信端子、26：送信端子。

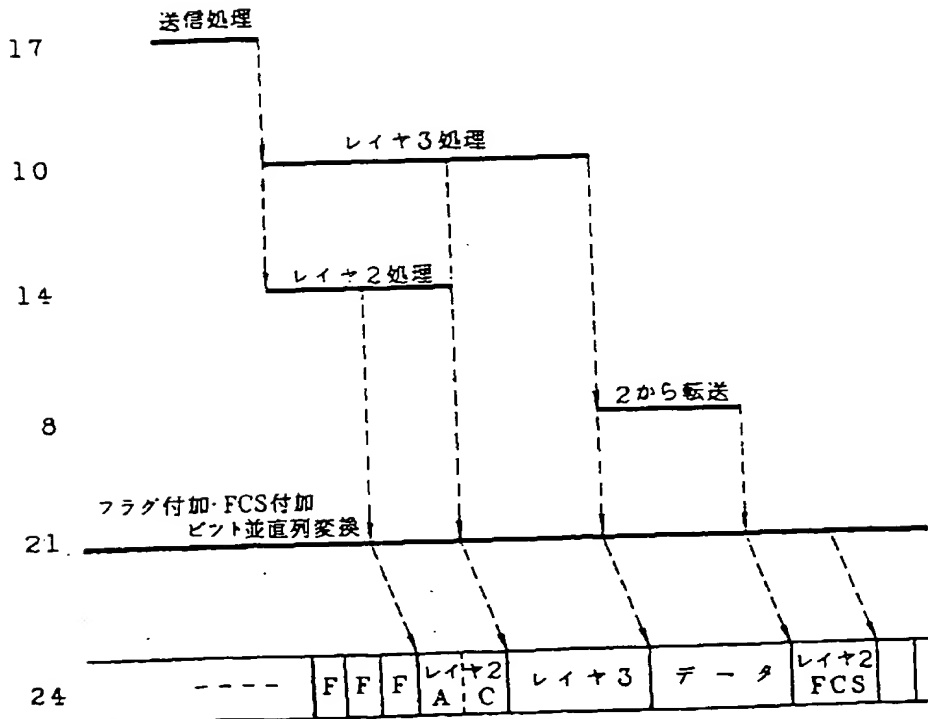
【第1図】



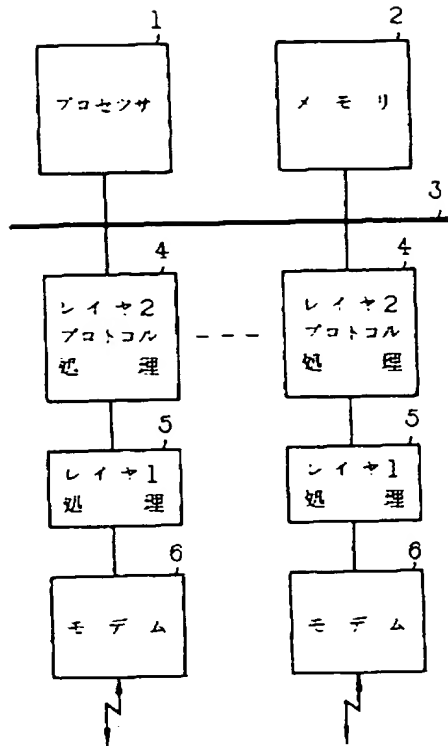
【第2図】



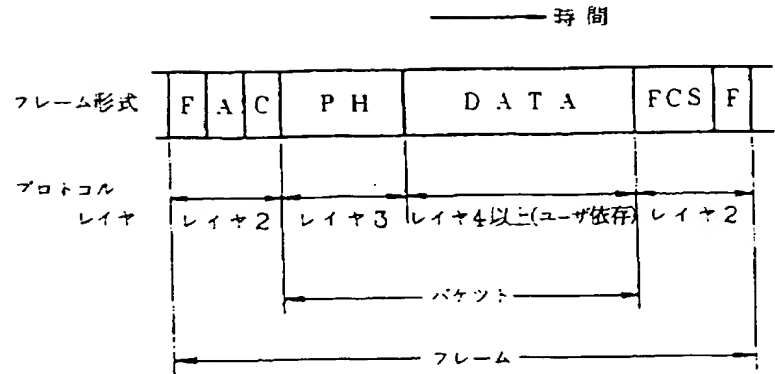
【第3図】



【第4図】



【第5図】



フロントページの続き

(72)発明者 早川 映

東京都武蔵野市緑町3丁目9番11号 日本
電信電話公社武蔵野電気通信研究所内

(72)発明者 市川 弘幸

東京都武蔵野市緑町3丁目9番11号 日本
電信電話公社武蔵野電気通信研究所内